Module Description, available in: EN, FR

Design of Embedded Hardware and Firmware

General Information

Number of ECTS Credits

3

Module code

TSM_EmbHardw

Valid for academic year

2026-27

Last modification

2019-07-22

Coordinator of the module

Hans Dermot Doran (ZHAW, hans.doran@zhaw.ch)

Explanations regarding the language definitions for each location:

- Instruction is given in the language specified for each location and module execution.
- Documentation is available in the language(s) listed for each location and module execution. If the documentation is in multiple languages, the percentage distributed is indicated (100% = all documentation provided).
- The examination, including both questions and answers, is provided entirely (100%) in the language(s) specified for each location and module execution. The exams are on-site.

	Lausanne			Lugano	Zurich		
Instruction		**X** F 100%			**X** E 100%		
Documentation			**X** E 100%		**X** E 100%		
Examination		**X** F 100%			**X** E 100%		

Module Category

TSM Technical scientific module

Profile Recommendations

This module is recommended for the following profiles:

	Lausanne	Zurich
Profile	EIE	EIE

Lessons

2 lecture periods and 1 tutorial period per week

Entry level competences

Prerequisites, previous knowledge

The students have a working knowledge of programming embedded systems in C.
The students have a working knowledge of basic hardware design including VHDL coding

Brief course description of module objectives and content

This module introduces the student to advanced concepts in modern embedded systems engineering. The module is divided into two sections. The first section is practical/theoretical and is designed to get the student familiar with implementing System on Chip (SoC) designs. The second part discusses formal Hardware/Software Co-Design including design and implementation of advanced embedded architectures as well as the verification and test of the resulting system.

Aims, content, methods

Learning objectives and competencies to be acquired

- The student will know some of the forces driving the design of modern embedded architectures.
- The student will understand and be able to apply the V-Model and structured HW/SW Co-Design methodologies including strategies for the verification and test of embedded systems.
- The student will be able to design and implement complete SoC designs including using soft-core microprocessors and IP cores in an FPGA.
- The student will be able to apply loop optimisations using both SW techniques and optimised cache in single- and multi-processor architectures.
- The students will be able to understand and apply pipeline architectures in processors (super-pipelined, superscalar), HW and SW.

Module content with weighting of different components

- Introduction
  - V-Model, specification and test
  - HW-SW Co-Design
- SoC design, implementation and test
  - FPGA technology, SoC design, soft-core processors, design, implementation and reuse of custom IP cores
  - Bus systems
- Optimisation Strategies
  - Advanced peripherals, DMA, scheduling
  - Software loop optimisations, custom instructions, co-processors,
  - Memory hierarchy (cache, scratch pad memories)
  - Pipeline, multiprocessing
- Review
  - Exercises and laboratories using an FPGA board

Teaching and learning methods

Lectures
Accompanied exercises
Self-study

Literature

No mandatory literature

Assessment

Additional performance assessment during the semester

The module contains additional performance assessment(s) during the semester. The achieved mark of the additional performance assessment(s) applies to both the regular and the resit exam.

Description of additional performance assessment during the semester

Part 1: Voluntary test or presentation of Practical Work - SoC Implementation (15%)

Part 2: Voluntary test or presentation of Practical Work - Formal Processes and Optimisation Methods (15%)

Basic principle for exams

As a rule, all standard final exams are conducted in written form. For resit exams, lecturers will communicate the exam format (written/oral) together with the exam schedule.

Standard final exam for a module and written resit exam

Kind of exam

Written exam

Duration of exam

120 minutes

Permissible aids

Aids permitted as specified below:

Permissible electronic aids

No electronic aids permitted

Other permissible aids

Lecture notes and VHDL reference

Exception: In case of an electronic Moodle exam, adjustments to the permissible aids may occur. Lecturers will announce the final permissible aids prior to the exam session.

Special case: Resit exam as oral exam

Kind of exam

Oral exam

Duration of exam

30 minutes

Permissible aids

Aids permitted as specified below:

Permissible electronic aids

No electronic aids permitted

Other permissible aids

Lecture notes and VHDL reference

Description du module, disponible en: EN, FR

Conception de hardware et firmware embarqués

Informations générales

Nombre de crédits ECTS

3

Code du module

TSM_EmbHardw

Valable pour l'année académique

2026-27

Dernière modification

2019-07-22

Coordinateur/coordinatrice du module

Hans Dermot Doran (ZHAW, hans.doran@zhaw.ch)

Explications concernant les langues d'enseignement par site :

- L'enseignement est dispensé dans la langue indiquée ci-dessous pour chaque site et chaque exécution du module.
- Les supports de cours sont disponibles dans les langues indiquées ci-dessous pour chaque site et chaque exécution du module. Lorsque plusieurs langues sont utilisées, la proportion de contenu disponible dans chaque langue est précisée (100 % = ensemble des supports de cours).
- Les examens (questions et réponses) sont entièrement rédigés dans la langue indiquée ci-dessous pour le site et l'exécution du module concernés. Ils se déroulent en présentiel.

	Lausanne			Lugano	Zurich		
Leçons		**X** F 100%			**X** E 100%		
Documentation			**X** E 100%		**X** E 100%		
Examen		**X** F 100%			**X** E 100%		

Catégorie de module

TSM approfondissement technico-scientifique

Recommandations de profil

Ce module est recommandé pour les profils suivants :

	Lausanne	Zurich
Profil	EIE	EIE

Leçons

2 leçons et 1 leçon de pratique par semaine

Compétences préalables

Connaissances préalables, compétences initiales

Les étudiants jouissent de connaissances professionnelles des systèmes de programmation en C.
Les étudiants jouissent de connaissances professionnelles des bases de la conception matérielle y compris le codage VHDL

Brève description du contenu et des objectifs

Le présent module donne aux étudiants un aperçu sur les concepts avancés de technologies modernes d'ingénierie embarquée. Le module se subdivise en deux parties. La première partie est consacrée à la pratique/théorie et vise à familiariser l'étudiant à mettre en oeuvre des systèmes de conception de puces. La deuxième partie aborde la conception conjointe formelle matérielle et logicielle, y compris la conception et la mise en œuvre d'architectures embarquées et la vérification des systèmes créés.

Objectifs, contenus, méthodes

Objectifs d'apprentissage, compétences à acquérir

- L'étudiant connaîtra quelques-unes des forces intervenant dans la direction des architectures embarquées modernes.
- L'étudiant comprendra et sera capable d'appliquer des méthodes de co-design matériel et logiciel, ainsi que des stratégies de test et de vérification des systèmes embarqués (vérification conjointe HW/SW).
- L'étudiant sera capable de concevoir et de mandater des designs SoC complet sur un FPGA.
- L'étudiant sera capable de concevoir des SoC au moyen des technologies suivantes- processeurs softcore (multiples), co-processeurs (instructions programmables, coprocesseurs fortement couplés, processeurs de signal) et accélération matérielle.
- L'étudiant comprendra et appliquera les techniques d'optimisation logicielle avancées.
- L'étudiant devra réaliser des exercices pertinents sur une carte de développement adéquate.

Contenu des modules avec pondération du contenu des cours

- Introduction
  - Technologie FPGA
  - conception SoC, processeurs soft-core, modules auto-conçus
  - systèmes de bus, DMA, hiérarchie mémoire (caches, SPM)
- Architectures des automates
  - Processeurs softcore, instructions programmables, coprocesseurs, architectures de processeurs
  - Firm/software embarqués et techniques d'optimisation
  - Interfaçage périphérique, accélération matérielle
- Test et vérification
  - Vérification conjointe matérielle et logicielle et stratégies de contrôle
- Examen
  - Exercises et laboratoire utilisant une carte FPGA

Méthodes d'enseignement et d'apprentissage

Cours magistraux
Travaux dirigés
Etude autonome

Bibliographie

Pas de bibliographie obligatoire

Evaluation

Évaluation supplémentaire pendant le semestre

Le module comprend une ou des évaluation(s) supplémentaire(s) pendant le semestre. La note obtenue pour la ou les évaluation(s) supplémentaire(s) est valable à la fois pour l'examen final et pour l'examen de répétition.

Description de l'évaluation supplémentaire pendant le semestre

Partie 1 : Épreuve volontaire ou présentation d'un travail pratique
- Mise en œuvre d'un SoC (15 %)

Partie 2 : Épreuve volontaire ou présentation de travaux pratiques
- Processus formels et méthodes d'optimisation (15%)

Principe pour les examens

En règle générale, tous les examens réguliers de fin de module se déroulent sous forme écrite. Concernant les examens de répétition, leur format (écrit ou oral) sera communiqué par l'enseignant-e en même temps que le calendrier des examens.

Examen de fin de module régulier et examen écrit de répétition

Type de l'examen

Examen écrit

Durée de l'examen

120 minutes

Aides autorisées

Les aides suivantes sont autorisées:

Aides électroniques autorisées

Aucune aide électronique autorisée

Autres aides autorisées

Lecture notes and VHDL reference

Exception : En cas d'examen électronique sur Moodle, des modifications des aides autorisées peuvent survenir. Dans ce cas, les aides autorisées seront annoncées par les enseignant-e-s avant l'examen.

Cas spécial: examen de répétition oral

Type de l'examen

Examen oral

Durée de l'examen

30 minutes

Aides autorisées

Les aides suivantes sont autorisées:

Aides électroniques autorisées

Aucune aide électronique autorisée

Autres aides

Lecture notes and VHDL reference