

Description du module

Conception de hardware et firmware embarqués

Généralités**Nombres de crédits ECTS**

3

Sigle du module

TSM_EmbHardw

Version

04 mars 2013

Responsable du Module

Hans Dermot Doran, ZHAW

Langue

| | Lausanne | Berne | Zurich |
|---------------|---|--|--|
| Instruction | <input checked="" type="checkbox"/> E <input checked="" type="checkbox"/> F | <input type="checkbox"/> D <input type="checkbox"/> E <input type="checkbox"/> F | <input type="checkbox"/> D <input checked="" type="checkbox"/> E |
| Documentation | <input checked="" type="checkbox"/> E <input type="checkbox"/> F | <input type="checkbox"/> D <input type="checkbox"/> E <input type="checkbox"/> F | <input type="checkbox"/> D <input checked="" type="checkbox"/> E |
| Examen | <input checked="" type="checkbox"/> E <input checked="" type="checkbox"/> F | <input type="checkbox"/> D <input type="checkbox"/> E <input type="checkbox"/> F | <input type="checkbox"/> D <input checked="" type="checkbox"/> E |

Catégorie du module

- Bases théoriques élargies
- Approfondissement technique et scientifique
- Module de savoirs contextuels

Périodes

- 2 périodes d'enseignement frontal et 1 période d'exercice par semaine
- 2 périodes d'enseignement frontal par semaine

Brève description des objectifs et du contenu du module

Le présent module donne aux étudiants un aperçu sur les concepts avancés de technologies modernes d'ingénierie embarquée. Le module se subdivise en deux parties. La première partie est consacrée à la pratique/théorie et vise à familiariser l'étudiant à mettre en oeuvre des systèmes de conception de puces. La deuxième partie aborde la conception conjointe formelle matérielle et logicielle, y compris la conception et la mise en oeuvre d'architectures embarquées et la vérification des systèmes créés.

Objectifs, contenu et méthodes**Objectifs d'apprentissage et compétences visées**

L'étudiant connaîtra quelques-unes des forces intervenant dans la direction des architectures embarquées modernes.

L'étudiant comprendra et sera capable d'appliquer des méthodes de co-design matériel et logiciel, ainsi que des stratégies de test et de vérification des systèmes embarqués (vérification conjointe HW/SW).

L'étudiant sera capable de concevoir et de mandater des designs SoC complet sur un FPGA.

L'étudiant sera capable de concevoir des SoC au moyen des technologies suivantes- processeurs softcore (multiples), co-processeurs (instructions programmables, coprocesseurs fortement couplés, processeurs de signal) et accélération matérielle.

L'étudiant comprendra et appliquera les techniques d'optimisation logicielle avancées.

L'étudiant devra réaliser des exercices pertinents sur une carte de développement adéquate.

Contenu du module avec pondération des contenus d'enseignement

- Introduction
 - Technologie FPGA
 - conception SoC, processeurs soft-core, modules auto-conçus
 - systèmes de bus, DMA, hiérarchie mémoire (caches, SPM)
- Architectures des automates
 - Processeurs softcore, instructions programmables, coprocesseurs, architectures de processeurs
 - Firm/software embarqués et techniques d'optimisation
 - Interfaçage périphérique, accélération matérielle
- Test et vérification
 - Vérification conjointe matérielle et logicielle et stratégies de contrôle

- Examen
 - Exercices et laboratoire utilisant une carte FPGA

Méthodes d'enseignement et d'apprentissage

Cours magistraux

Travaux dirigés

Etude autonome

Connaissances et compétences prérequis

Les étudiants jouissent de connaissances professionnelles des systèmes de programmation en C.

Les étudiants jouissent de connaissances professionnelles des bases de la conception matérielle y compris le codage VHDL

Bibliographie

Pas de bibliographie obligatoire

Mode d'évaluation**Conditions d'admission aux examens de fin de module (tests exigés)**

Test volontaire partie 1: Implémentation SoC (20%)

Test volontaire partie 2: Processus et méthodologie formels (20%)

Examen écrit de fin de module

Durée de l'examen: 120 minutes

Moyens autorisés: Notes prises en cours et référence VHDL